

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11204534 A**(43) Date of publication of application: **30.07.99**

(51) Int. Cl.

H01L 21/322
H01L 21/205

(21) Application number: **10017794**(22) Date of filing: **14.01.98**(71) Applicant: **SUMITOMO METAL IND LTD**

(72) Inventor: **IKEDA NAOKI**
FUJIKAWA TAKASHI
SUEOKA KOJI

(54) MANUFACTURE OF SILICON EPITAXIAL WAFER

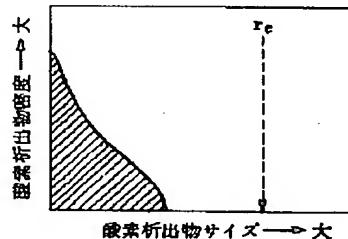
the carbon density, the thickness of the silicon epitaxial film and the heat-treating conditions.

(57) Abstract:

COPYRIGHT: (C)1999,JPO

PROBLEM TO BE SOLVED: To display sufficient gettering effect and to achieve low cost, even for a device manufacturing process at low temperature by mirror-surface polishing and finishing, after cutting out a silicon single crystal into a silicon wafer by the specified method, and subjecting it to heat treatment in forming microscopic defects in the inside.

SOLUTION: In a silicon epitaxial wafer, a silicon single crystal, wherein oxygen concentration is controlled to be in the range of $10-18 \times 10^{17}$ atoms/cm³ and carbon concentration is controlled to be in the range of $0.3-2.5 \times 10^{16}$ atoms/cm³, and which is pulled up, is cut out into a silicon wafer. Then, one surface or both surfaces of the silicon single crystal undergo mirror-surface polishing and finishing. Furthermore, the epitaxial film of the silicon is formed on the surface. Thereafter, heat treatment for forming minute defects is performed. Thus, a sufficient oxygen depositing core density is obtained, the density and the size of the minute defect can be controlled in a broad range from the small value to the large value under conditions of



JP 11-204534

Partial English Translation

[Claim 1] A Manufacturing method of silicon epitaxial wafer, having the steps of:

in a silicon wafer for a semiconductor device, cutting out a silicon single crystal, wherein carbon concentration is controlled to be in the range of $0.1-2.5 \times 10^{16}$ atoms/cm³ (new ASTM method), and oxygen concentration is controlled to be in the range of $10-18 \times 10^{17}$ atoms/cm³ (old ASTM method) and which is pulled up by using a CZ method or MCZ method, into a silicon wafer;

executing mirror-surface polishing and finishing to one surface or both surfaces of said wafer;

forming an epitaxial film of silicon on said surface, and;

practicing heat treatment to form microscopic defects in the inside of said silicon crystal.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-204534

(43) 公開日 平成11年(1999) 7月30日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 21/322
21/205

H 0 1 L 21/322
21/205

Y

審査請求 未請求 請求項の数5 F D (全 8 頁)

(21) 出願番号 特願平10-17794

(22) 出願日 平成10年(1998) 1月14日

(71) 出願人 000002118

住友金属工業株式会社

大阪府大阪市中央区北浜4丁目5番33号

(72) 発明者 池田 直紀

大阪府大阪市中央区北浜4丁目5番33号

住友金属工業株式会社内

(72) 発明者 藤川 孝

佐賀県杵島郡江北町大字上小田2201番地

住友シチックス株式会社内

(72) 発明者 末岡 浩治

大阪府大阪市中央区北浜4丁目5番33号

住友金属工業株式会社内

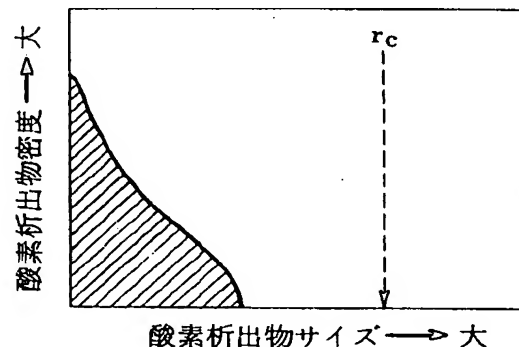
(74) 代理人 弁理士 押田 良久

(54) 【発明の名称】 シリコンエピタキシャルウェーハの製造方法

(57) 【要約】

【課題】 約1080℃以下の低温のデバイス製造工程においても十分なゲッタリング効果 (IG) が発揮でき、さらに低コスト化を図るために炭素濃度及びシリコンエピタキシャル膜厚を最適化したIG能力のあるシリコンエピタキシャルウェーハの製造方法。

【解決手段】 CZ法等により炭素を比較的低い濃度で故意に入れて引き上げた単結晶シリコンを用いて作製されたシリコンウェーハを鏡面研磨後、5μm以下の薄いシリコンエピタキシャル膜を形成し、その後、微小欠陥を形成するための熱処理を施すことにより、目的のゲッタリング効果 (IG) が発揮できる。



【特許請求の範囲】

【請求項1】 半導体デバイス用シリコンウェーハにおいて、炭素濃度が $0.1 \sim 2.5 \times 10^{16} \text{ atoms/cm}^3$ (New ASTM法)、酸素濃度が $10 \sim 18 \times 10^{17} \text{ atoms/cm}^3$ (Old ASTM法)の範囲に制御してCZ法もしくはMCZ法にて引き上げられたシリコン単結晶をシリコンウェーハに切り出した後、ウェーハの片面又は両面を鏡面研磨仕上げし、さらにその表面にシリコンのエピタキシャル膜を成膜した後、前記シリコン結晶の内部に微小欠陥を形成する熱処理を行うシリコンエピタキシャルウェーハの製造方法。

【請求項2】 請求項1において、エピタキシャル膜の膜厚が $5 \mu\text{m}$ 以下であるシリコンエピタキシャルウェーハの製造方法。

【請求項3】 請求項1または請求項2において、 400°C 以上 800°C 以下の温度で5分以上の熱処理を行うシリコンエピタキシャルウェーハの製造方法。

【請求項4】 請求項1または請求項2において、 400°C 以上 800°C 以下の温度で5分以上の第1段の熱処理を行った後、該第1段の熱処理温度より高温で第2段の熱処理を行うシリコンエピタキシャルウェーハの製造方法。

【請求項5】 請求項1または請求項2において、熱処理の温度を 400°C から 1100°C の範囲内で順次上昇させるシリコンエピタキシャルウェーハの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体素子デバイス等の製造に供され、所定表面に気相成長させたシリコンエピタキシャル膜を有するシリコンウェーハ（以下、エピタキシャルウェーハという）のゲッターリング能力を付与する製造方法に係り、チョクラスキー法もしくはマグネティックチョクラスキー法によりシリコン単結晶を引き上げる際に、単結晶中の酸素濃度を所定の範囲に制御すると同時に、炭素濃度を所定の範囲に制御して引き上げ、切り出されたシリコンウェーハを鏡面研磨し、成膜してエピタキシャルウェーハとなした後、所定の熱処理を施すことにより、 1080°C 程度以下の低温のデバイス製造工程においても、EG (Extrinsic gettering) 効果が期待できる処理を一切施すことなく、デバイスプロセス中の種々の汚染に対して、充分なIG (Intrinsic gettering) 効果を発揮できるエピタキシャルウェーハの製造方法に関する。

【0002】

【従来の技術】現在、LSI等の集積回路素子の基板を形成するためのシリコン基板の大部分はチョクラスキー法（以下、CZ法と記す）又は磁場を印加するチョクラスキー法（以下、MCZ法と記す）により引き上げられた単結晶シリコンを用いて作製されている。

【0003】CZ法及びMCZ法は石英坩堝内にあって炭素製のヒーターによりシリコンの融点 1415°C 以上に加熱・溶融されたシリコン溶融液に対し、引き上げ軸の先端に取り付けた種結晶を接触させ、前記引き上げ軸を回転させながら引き上げることに伴い、前記シリコン溶融液を単結晶として凝固させて成長させる方法である。このCZ法及びMCZ法を用いた場合、結晶引き上げ時に成長時導入欠陥（以下、grown-in欠陥と記す）が前記シリコン結晶中に約 $10^5/\text{cm}^3$ 以上の密度で形成される。

【0004】前記grown-in欠陥が単結晶シリコン基板の表面近傍におけるデバイスの活性領域に存在する場合には、酸化膜耐圧特性の劣化や、リーク電流を増大させる等の原因となる。従って、前記単結晶シリコン基板の表面にあるgrown-in欠陥は高品質のLSIを製造する上で有害となる。

【0005】そこで結晶を引き上げる際、デバイス特性を劣化させるgrown-in欠陥を低減化する目的で結晶の冷却速度の最適化、例えば $1200 \sim 1000^\circ\text{C}$ 程度の領域を徐冷することが行われている。しかし、結晶引き上げ時の冷却速度の最適化のみでは低減には物理的限界があり、grown-in欠陥を $10^5/\text{cm}^3$ 程度にまでしか低減できていない。

【0006】64M DRAM、256M DRAMのデザインルールの世代になると、ウェーハ表面で検出される $0.1 \sim 0.2 \mu\text{m}$ サイズの微小なgrown-in欠陥でも酸化膜の形状不良を誘起し、リーク不良につながる等が報告されており、今後のメモリー等の高集積MOSデバイスではシリコン単結晶をシリコンウェーハに切り出した後ウェーハの片面又は両面を鏡面研磨仕上げした鏡面研磨仕上げウェーハに代わり、鏡面研磨仕上げ後、さらにその表面にシリコンのエピタキシャル膜を成膜したエピタキシャルウェーハが本格的に用いられる可能性が高い。

【0007】すなわち、鏡面研磨仕上げウェーハでは前記grown-in欠陥が存在するが、エピタキシャルウェーハの場合、化学的気相成長 (CVD: Chemical Vapor Deposition) したエピタキシャル層にはgrown-in欠陥が存在しないため、極めて高品質な表面層を得ることができるのである。

【0008】

【発明が解決しようとする課題】デバイス製造プロセス中には、Fe、Ni、Cu等の重金属によりウェーハを汚染してしまうことがある。これらの重金属汚染は、ウェーハ表面及び表面近傍に汚染欠陥を形成し、様々なデバイス特性を劣化させ、ひいては製品歩留まりを低下させる原因となる。

【0009】これらの重金属汚染をデバイス活性領域にあたるウェーハ表面及び表面近傍領域から取り除くため

に、一般にシリコンウェーハにはウェーハ裏面に付けた機械的歪み層、多結晶シリコン膜等による外部ゲッタリング（EG）、またはウェーハ内部の酸素析出物を核として形成された微小欠陥（BMD: Bulk Micro Defect）による内部ゲッタリング（IG）による汚染捕獲（ゲッタリング）手法が従来より用いられている。

【0010】上記したエピタキシャルウェーハにおいては、今まで以上に高集積されたデバイスの基板として用いられるため、今まで以上にフラットネスや反りに代表されるウェーハの平坦度の向上が求められている。その場合、平坦度向上を実現するために両面研磨仕上げウェーハにエピタキシャル成長を施す可能性が高い。この場合、前記EGによるゲッタリングは適用できず、IGによるゲッタリング能力の確保が必要となってくる。

【0011】ところが、基板であるシリコンウェーハの抵抗値が $0.1\Omega\text{cm}$ 程度以上のものにエピタキシャル層を成長させた場合、エピタキシャル層成長工程における高温処理プロセスの影響でBMDの起源である結晶成長時に形成された酸素析出核の縮小・消滅が起こり、その後、デバイス製造プロセスへ投入しても酸素析出が起こらないためにIG能力がなく、重金属汚染をゲッタリングできず、その結果、デバイス特性の劣化や製品歩留まりの低下を招いてしまうという問題がある。

【0012】そこで、特開昭63-227026号公報では、結晶引き上げる際に炭素を高濃度（ $0.5\sim 15\text{ppma}$ ）ドーブさせたものに、エピタキシャル膜を $5\sim 50\mu\text{m}$ の厚みだけ成長させた後、低温熱処理+中温熱処理という2段階の熱処理を施し、BMDを確保する方法が提案されている。

【0013】しかし、エピタキシャル膜の膜厚が厚いためエピタキシャル成長時間が長く、生産性が低くなる問題が考えられる。また、炭素の濃度が高すぎて結晶引き上げ最中に結晶が有転位化してしまう頻度が上がるという問題点が考えられる。

【0014】この発明は、上述のエピタキシャルウェーハのゲッタリング（IG）の問題点を鑑み、シリコンウェーハに切り出した後のEG効果が期待できる処理を一切施すことなく、約 1080°C 以下の低温のデバイス製造工程においても十分なゲッタリング効果（IG）が発揮でき、さらに低コスト化を図るために炭素濃度及びシリコンエピタキシャル膜厚を最適化したIG能力のあるシリコンエピタキシャルウェーハの製造方法を提供することを目的としている。

【0015】

【課題を解決するための手段】発明者らは、炭素濃度及びシリコンエピタキシャル膜厚を最適化して、約 1080°C 以下の低温のデバイス製造工程においても十分なIG能力のあるシリコンエピタキシャルウェーハの開発を目的に種々検討した結果、CZ法等により炭素を比較的

低い濃度で故意に入れて引き上げた単結晶シリコンを用いて作製されたシリコンウェーハを鏡面研磨後、 $5\mu\text{m}$ 以下の薄いシリコンエピタキシャル膜を形成し、その後、微小欠陥を形成するための熱処理を施すことにより、目的のゲッタリング効果（IG）が発揮できることを知見し、この発明を完成した。

【0016】すなわち、この発明は、半導体デバイス用シリコンウェーハにおいて、炭素濃度が $0.1\sim 2.5\times 10^{16}\text{atoms}/\text{cm}^3$ （New ASTM法）、酸素濃度が $10\sim 18\times 10^{17}\text{atoms}/\text{cm}^3$ （Old ASTM法）の範囲に制御してCZ法もしくはMCZ法にて引き上げられたシリコン単結晶をシリコンウェーハに切り出した後、ウェーハの片面又は両面を鏡面研磨仕上げし、さらにその表面にシリコンのエピタキシャル膜を成膜した後、前記シリコン結晶の内部に微小欠陥を形成する熱処理を行うことを特徴とするシリコンエピタキシャルウェーハの製造方法である。

【0017】また、この発明は、上記構成のシリコンエピタキシャルウェーハの製造方法において、エピタキシャル膜の膜厚が $5\mu\text{m}$ 以下であること、 400°C 以上 800°C 以下の温度で5分以上の熱処理を行うこと、 400°C 以上 800°C 以下の温度で5分以上の第1段の熱処理を行った後、該第1段の熱処理温度より高温で第2段の熱処理を行うこと、熱処理の温度を 400°C から 1100°C の範囲内で順次上昇させること、を特徴とするシリコンエピタキシャルウェーハの製造方法である。

【0018】

【発明の実施の形態】単結晶シリコン中の炭素原子の酸素析出促進効果は広く知られている。一般に、格子位置炭素原子（Cs）の酸素析出促進のメカニズムはCsによって生じるSi格子の収縮で説明されている。Csの共有結合半径がシリコンのそれよりも $30\sim 40\%$ 小さく、従ってCsの周囲においては、シリコンの結晶格子は完全結晶の場合に比べて大きな隙間ができた状態になり、そこに酸素が集まりやすく、かつ析出の反応（格子間シリコンの放出）が起こりやすくなる、ということによると考えられている。

【0019】発明者らは、エピ基板中に十分なBMD密度を形成し、しかもBMDのサイズを制御するためには上記効果を持つ炭素をドーブし、尚且つエピタキシャル成長後に熱処理を施すのが有効という知見を得た。

【0020】すなわち、発明者らは、種々の炭素濃度、シリコンエピタキシャル膜厚そして熱処理条件によりBMD密度とサイズ及び酸化膜の耐圧特性の調査を行った結果、熱処理条件によっては炭素濃度は $0.1\sim 2.5\times 10^{16}\text{atoms}/\text{cm}^3$ で酸素析出促進効果を持ち、十分なBMD密度を得られること、しかもBMDのサイズの制御範囲が広いこと、シリコンエピタキシャル膜の膜厚は $5\mu\text{m}$ 以下でも良好な酸化膜耐圧特性が得られることを知見した。

【0021】シリコンエピタキシャル膜の膜厚が厚い場合でも、酸素濃度、炭素濃度、熱処理条件を最適化すれば十分なBMD密度が得られ、しかもBMDのサイズの制御範囲を広くとれることを確認したが、エピタキシャル成長時間が長くなり、生産性が低下しその結果製造コストが上昇する問題が考えられる。従って、シリコンエピタキシャル膜の膜厚は5 μm 以下が望ましい。

【0022】この発明において、シリコンエピタキシャルウェーハ基板中に十分なBMD密度を形成し、しかもBMDのサイズを制御するためには、炭素を0.1~2.5 $\times 10^{16} \text{ atoms/cm}^3$ の範囲に故意に入れ制御し、エピタキシャル成長後に熱処理を施すことが必要である。かかる製造方法によって、5 μm 以下の膜厚でシリコンエピタキシャル膜が形成されたエピタキシャルウェーハは、素子の活性領域におけるgrown-in欠陥の存在率が極めて低いという作用効果が得られる。

【0023】また、この発明は、BMDサイズを小さく制御できるため、酸素析出物を起点としてできる転位、積層欠陥等の二次欠陥の種類、密度、サイズを制御できるため、酸素析出過剰、二次欠陥発生過剰によるウェーハの反りを抑制できる効果も期待できるという利点がある。

【0024】以下にエピタキシャルウェーハ基板の酸素析出挙動制御について、図面に基づいて詳述する。図8はCZ法またはMCZ法により、結晶引き上げ後の酸素析出物のサイズと密度の関係を模式的に示したグラフであり、図中の r_c はエピタキシャル温度での臨界核サイズを示している。

【0025】引き上げられたシリコン単結晶をシリコンウェーハに切り出した後、ウェーハの片面又は両面を鏡面研磨仕上げし、さらにその表面にシリコンのエピタキシャル膜を成膜すると、エピタキシャル層成長工程における高温処理プロセスの影響で、図9Aに示すごとく、BMDの起源である結晶成長時に形成された酸素析出核の縮小・消滅が起こる。

【0026】ここで、この発明と同等に酸素濃度を10~18 $\times 10^{17} \text{ atoms/cm}^3$ 、炭素濃度を0.3~2.5 $\times 10^{16} \text{ atoms/cm}^3$ の各範囲に制御して引き上げられたシリコン単結晶を、シリコンウェーハに切り出した後、600℃以上、900℃以下の温度で熱処理を施し、その後シリコンエピタキシャル膜を成膜すると、図9Bに示すごとく、 r_c 以上の大きなサイズの酸素析出核が十分な密度で形成されるが、酸素析出核サイズが大きいかつ制御範囲が狭い。

【0027】これに対して、この発明では、上記のごとく引き上げられ切り出されたシリコンウェーハに鏡面研磨を施し、鏡面にエピタキシャル膜を成膜後、例えば、400℃以上800℃以下の温度で5分以上の熱処理を行うことにより、図9Cに示すごとく、十分な酸素析出

核密度が得られ、炭素濃度、シリコンエピタキシャル膜厚そして熱処理条件によりBMD密度とサイズを小から大と広範囲に制御できる。

【0028】この発明において、熱処理方法は、シリコン結晶の内部に微小欠陥を形成する熱処理であればいずれの条件でもよいが、雰囲気は、酸素又は窒素もしくはこれらの混合ガス、400℃以上800℃以下の温度で5分以上の熱処理、400℃以上800℃以下の温度で5分以上の第1段の熱処理を行った後、該第1段の熱処理温度より高温で第2段の熱処理、熱処理の温度を400℃から1100℃の範囲内で順次上昇させる熱処理、等が特に好ましい。

【0029】この発明において、エピタキシャル膜を成膜する前にウェーハの片面又は両面を鏡面研磨仕上げを行うが、熱処理後、必要に応じて再度鏡面研磨しても問題ない。

【0030】さらに、エピタキシャルウェーハの基板となるシリコンウェーハの比抵抗値については特に限定しないが、0.1 Ωcm 程度以上の基板において、エピタキシャル成長によるゲッタリング不足が生じていることにより、この発明方法は前記比抵抗値以上のシリコンウェーハに対する効果が顕著である。

【0031】一方、0.1 Ωcm 以下については、主にラッチアップ防止効果を狙って低抵抗基板がエピタキシャルウェーハの基板として従来より用いられており、その値は例えば0.004~0.020 Ωcm 程度で、B(ボロン)が添加されたP型結晶においては、高濃度のBの効果により酸素析出が促進されるため、エピタキシャル成長工程の影響は小さく、低温プロセスにおいてゲッタリングに必要な充分なBMDが形成されてIG不足の問題は余り発生しない。しかし、必要に応じてこの発明方法を適宜適用することが可能である。また、この発明方法はP(リン)等が添加されたN型結晶を基板とする場合にも適宜適用することが可能となる。

【0032】

【実施例】実施例1

以下、この発明によるシリコンエピタキシャルウェーハの実施例及び比較例を図面に基づいて説明する。CZ法によってボロンを添加して、抵抗率が7~10 Ωcm で酸素濃度が15 $\times 10^{17} \text{ atoms/cm}^3$ の直径6インチのシリコン単結晶を引き上げ、ウェーハ加工し、これらの基板に1100℃で0.1 μm 、0.3 μm 、0.5 μm 、1.0 μm 、3.0 μm 、5.0 μm 、10.0 μm 、20.0 μm の各膜厚でシリコンエピタキシャル膜を成長させた。

【0033】拡散炉を使用して酸素雰囲気中において950℃で熱処理を行い、前記エピタキシャルウェーハに厚さが約25 nmの酸化膜を形成した。次にLPCVD (Low Pressure Chemical Vapor Deposition) 装置を使用し、20%

HeベースのSiH₄ガスを流しながら630℃で蒸着処理を行い、前記エピタキシャルウェーハの酸化膜上に膜厚が約400nmの電極となる多結晶シリコン層を形成した。

【0034】次にPOCl₃、O₂、N₂ガスを流しながら900℃で熱処理を行い、前記多結晶シリコン層にリンを拡散させた。さらに前記エピタキシャルウェーハの裏面に形成された前記多結晶シリコン上の酸化膜を除去するためにフッ化水素液を用いてエッチングを行った。その後、フォトリソグラフィにより前記エピタキシャルウェーハの表面に254個の電極を形成し酸化膜耐圧特性を測定するサンプルを作製した。

【0035】図1は実施例及び比較例に係るエピタキシャルウェーハにおける酸化膜耐圧特性の良品率を示したグラフである。前記酸化膜耐圧特性は電極間に1mAの電流が流れた時をブレイクダウンとし、該ブレイクダウン時の電界強度が8MV/cm以上の場合を良品とした。

【0036】図1から明らかなようにエピタキシャルシリコン膜の膜厚は0.5μm以上あれば8MV/cmの電界強度においてブレイクダウンをしなかった良品は95%を超え良好な特性を示していた。

【0037】この結果から明らかなように酸化膜耐圧特性が優れた高品質なウェーハ表面を得るにはエピタキシャル膜厚は0.5μm以上あればよく、0.5μmという薄い膜を精度よく形成することが難しいこと、膜厚を厚くするとエピタキシャル成長の生産性が落ちることを考慮に入れると、数μmもあればよいことが判った。

【0038】実施例2

CZ法によって直径6インチのシリコン単結晶を育成する際にボロンを添加して、基板抵抗値が7~10Ωcmで、酸素濃度が1.5×10¹⁷atoms/cm³、炭素濃度が1.0×10¹⁶atoms/cm³にそれぞれ制御されて引き上げられたシリコン単結晶より切り出されたシリコンウェーハを準備し、これらの基板に1100℃でシリコンエピタキシャル膜を3μm成長させた後に、300~900℃で4時間の熱処理を行い、今後主流になるであろう低温のデバイス製造プロセス相当の熱処理を施した。実施した熱処理パターンを図2に示す。

【0039】その後、フーリエ変換型赤外吸収法にて酸素析出量を測定した。その結果を図3に示す。300℃及び900℃の条件では4時間の熱処理を施してもほとんど酸素析出量の増加が認められないが、400~800℃の範囲の熱処理は効果的に酸素析出を促進することが判る。

【0040】実施例3

CZ法によって直径6インチのシリコン単結晶を育成する際にボロンを添加して、基板抵抗値が7~10Ωcmで、酸素濃度が8、9、10、12、14、15、16、18、19×10¹⁷atoms/cm³、炭素濃度

が0.1×10¹⁶atoms/cm³未満（フーリエ変換型赤外吸収法による検出下限値）、0.1、0.3、0.5、0.8、2.5、5.0×10¹⁶atoms/cm³にそれぞれ制御されて引き上げられたシリコン単結晶より切り出されたシリコンウェーハを準備し、これらの基板に1100℃でシリコンエピタキシャル膜を3μm成長させた後に、600℃で4時間の熱処理を行い、前記低温のデバイス製造プロセス相当の熱処理を施した。

【0041】その後、それらのサンプルを短冊状に劈開した後に、化学的選択エッチング（Wrightエッチング）にて片面で2μmのエッチングを施し、BMDを顕在化させたものを光学顕微鏡を用いて、発生密度の測定を実施した。その結果を図4に示す。図4に示される如く、炭素濃度を上げるとゲッターリングに必要なBMD密度1×10⁵cm⁻²を満足するようになる。

【0042】また、酸素濃度が8×10¹⁶atoms/cm³と低いサンプルは炭素濃度が高くてもほとんどBMD密度の増加は認められない。炭素濃度が0.06×10¹⁶atoms/cm³以下（放射化分析装置による）と低いサンプルは酸素濃度が高くてもほとんどBMDの増加は認められないことが判る。

【0043】酸素濃度については、例えばシリコン単結晶中に取り込まれる最大値2.7×10¹⁷atoms/cm³近傍でも問題がないと考えられるが、通常の半導体デバイス基板用として用いられている結晶の酸素濃度の上限がおおよそ1.8×10¹⁷atoms/cm³であり、そのため安定して引き上げられる酸素濃度範囲が1.8×10¹⁷atoms/cm³以下であるため、この値を上限とした。

【0044】炭素濃度については、例えばシリコン単結晶中に取り込まれる最大値3.2×10¹⁶atoms/cm³近傍でも問題がないと考えられるが、シリコン単結晶を引き上げる際、途中で有転位化してしまう頻度が多くなり、その結果、結晶の引き上げ歩留まりが下がることを知見しており上限を2.5×10¹⁶atoms/cm³とした。

【0045】実施例4

CZ法によって直径6インチのシリコン単結晶を育成する際にボロンを添加して、基板抵抗値が7~10Ωcmで、酸素濃度が1.4×10¹⁷atoms/cm³、炭素濃度が0.8×10¹⁶atoms/cm³にそれぞれ制御されて引き上げられたシリコン単結晶より切り出されたシリコンウェーハを準備し、これらの基板に1100℃でシリコンエピタキシャル膜を1μm、3μm、5μm、10μm、15μm成長させた後に、600℃で4時間の熱処理を行い、前記低温のデバイス製造プロセス相当の熱処理を施した。その後、前記方法でBMD密度の測定を行った。その結果を図5に示す。

【0046】図5に示される如く、エピタキシャル膜厚

に關係なくゲッターリングに必要なBMD密度が得られる。

【0047】 实施例5

CZ法によって直径6インチのシリコン単結晶を育成する際にボロンを添加して、基板抵抗値が $7 \sim 10 \Omega \text{cm}$ で、酸素濃度が $15 \times 10^{17} \text{atoms/cm}^3$ 、炭素濃度が $1.0 \times 10^{16} \text{atoms/cm}^3$ にそれぞれ制御されて引き上げられたシリコン単結晶より切り出されたシリコンウェーハを準備し、これらの基板に 1100°C でシリコンエピタキシャル膜を $3 \mu\text{m}$ 成長させた後に、第1段の熱処理として $400 \sim 800^\circ\text{C}$ で4時間の熱処理を行い、第2段の熱処理として 1000°C で4時間の熱処理を行った。

【0048】その後、前記低温のデバイス製造プロセス相当の熱処理を施し、フーリエ変換型赤外吸収法にて酸素析出量を測定した。その結果を図6に示す。第1段の熱処理温度が400℃から800℃の条件で効果的に酸素析出を促進することが判る。

【0049】 实施例6

CZ法によって直径6インチのシリコン単結晶を育成する際にボロンを添加して、基板抵抗値が $7 \sim 10 \Omega \text{cm}$ で、酸素濃度が $15 \times 10^{17} \text{atoms/cm}^3$ 、炭素濃度が $1.0 \times 10^{16} \text{atoms/cm}^3$ にそれぞれ制御されて引き上げられたシリコン単結晶より切り出されたシリコンウェーハを準備し、これらの基板に 1100°C でシリコンエピタキシャル膜を $3 \mu\text{m}$ 成長させた後に、熱処理温度が 400°C から 1100°C の範囲内で順次上昇することの特徴とするランピング熱処理を行った。具体的には 1°C/min で温度を上昇させた。

【0050】その後、前記低温のデバイス製造プロセス相当の熱処理を施し、フーリエ変換型赤外吸収法にて酸素析出量を測定した。その結果を図7に示す。第1段の熱処理温度が400℃から1100℃の範囲内で順次上昇させた条件で、効果的に酸素析出を促進することが判る。

【0 0 5 1】

【発明の効果】実施例に詳述したようにこの発明の製造方法によるシリコンエピタキシャルウェーハは、炭素を $0.1 \sim 2.5 \times 10^{16} \text{ atoms/cm}^3$ の範囲で故意に入れておりエピタキシャル成長後の熱処理で、十分なBMD密度を得られ、すぐれたIG効果が期待でき、しかも、炭素濃度が $0.1 \sim 2.5 \times 10^{16} \text{ atoms/cm}^3$ と比較的低い結晶引き上げの歩留まりが落ちず、また、シリコンエピタキシャル膜厚が $5 \mu\text{m}$ 以下と薄いため低コストにてシリコンエピタキシャルウェーハを得ることができる。

【図面の簡単な説明】

【図1】酸化膜耐圧良品率とエピタキシャル膜厚との関係を示すグラフである。

【図2】低温のデバイス製造プロセスを示すヒートパターン図である。

【図3】熱処理温度と酸素析出量の関係を示すグラフである。

【図4】酸素濃度、炭素濃度とBMD密度との関係を示すグラフである。

【図5】エピタキシャル膜厚とBMD密度との関係を示すグラフである。

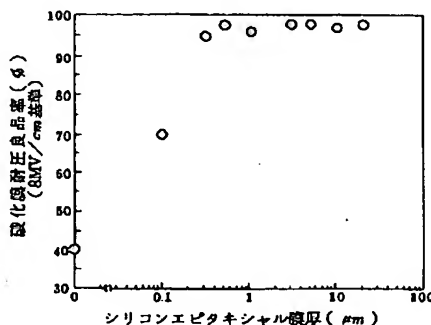
【図6】2段の熱処理と酸素析出量との関係を示すグラフである。

【図7】ランピング熱処理と酸素析出量との関係を示すグラフである。

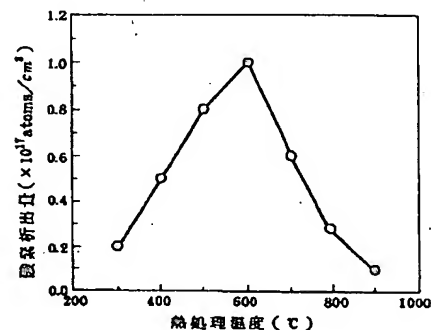
【図8】結晶引き上げ後の酸素析出物のサイズと密度の関係を模式的に示したグラフである。

【図9】Aはエピタキシャル成長後のウェーハの酸素析出物のサイズと密度の関係を模式的に示したグラフであり、Bは比較の熱処理を施したエピタキシャルウェーハの酸素析出物のサイズと密度の関係を模式的に示したグラフであり、Cはこの発明の熱処理を施したエピタキシャルウェーハの酸素析出物のサイズと密度の関係を模式的に示したグラフである。

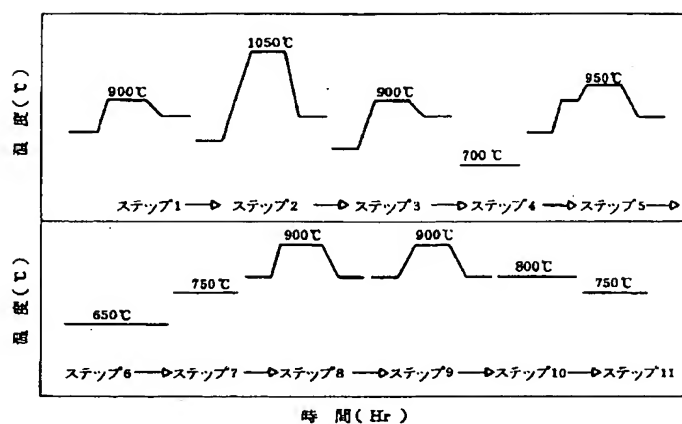
【图 1】



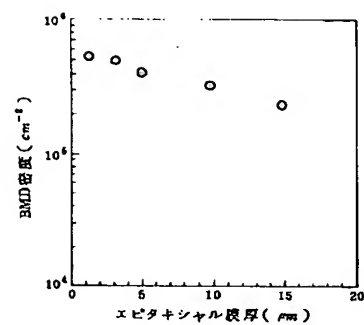
【図3】



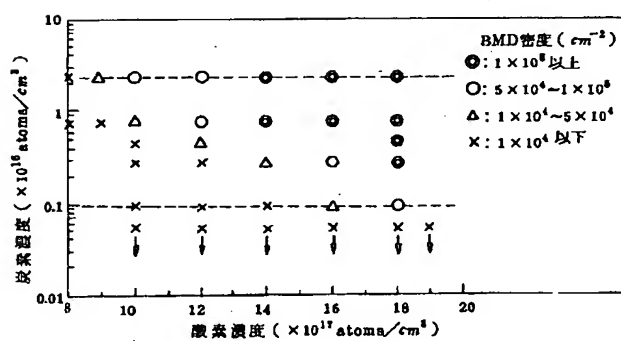
【図2】



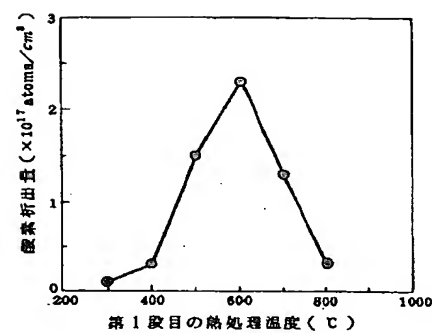
【図5】



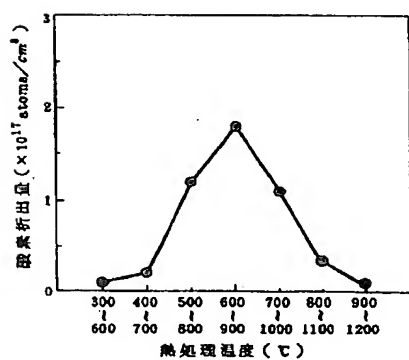
【図4】



【図6】



【図7】



【図8】

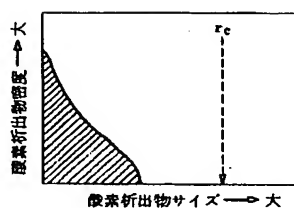


Figure 1 consists of three sub-diagrams labeled A, B, and C, each showing a coordinate system with a vertical axis labeled '縦軸' (vertical axis) and a horizontal axis labeled '横軸' (horizontal axis). A vertical dashed line labeled r_c is drawn in each diagram. The shaded regions represent the relationship between the size of the acid-soluble extract (横軸) and the concentration of the acid-soluble extract (縦軸).

- Diagram A:** A small shaded area is located at the origin (0,0).
- Diagram B:** A shaded area is located at the top right corner, bounded by the vertical axis and the horizontal axis.
- Diagram C:** A large shaded area covers the bottom left portion of the graph, extending from the origin towards the right and top.